

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-315311

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

H02M 3/155

(21)Application number : 2001-119194

(71)Applicant : ROHM CO LTD

(22)Date of filing : 18.04.2001

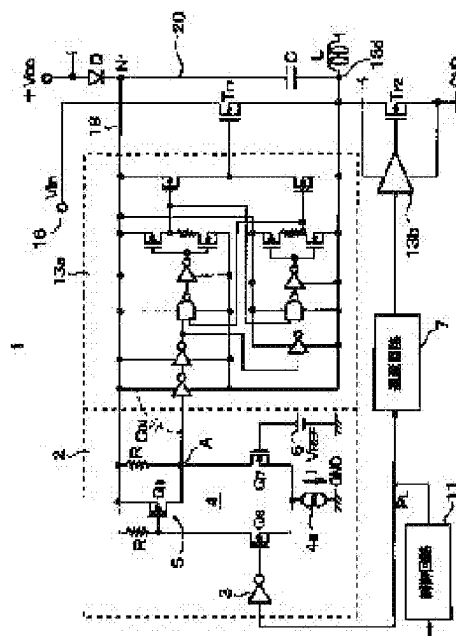
(72)Inventor : UMEMOTO SEIKI

## (54) SWITCHING REGULATOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a switching regulator having high voltage stability operating speed, capable of performing regulation for voltage obtained from a high input DC power supply by generating a control pulse with low voltage.

**SOLUTION:** This regulator performs switching control for an output stage MOS transistor on a Hi side by generating a control pulse with low voltage, and by converting it to the control pulse having fast rise and fall at high voltage with a level shift circuit. The level shift circuit is constituted of a comparator. A medium level between 'H' and 'L' levels of a first control pulse, which serves as its reference value, is compared with the first control pulse for obtaining outputs of 'L' or 'H' respectively, at a point when the level of the first control pulse exceeds a reference level or when it becomes lower than the reference level. Therefore, the rise and fall of an output signal become fast. Especially, by using a current switch circuit as the comparator, a through rate becomes large, thus it is possible to shorten the rise and fall time.



\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1]. It has the following and is characterized by generating said output pulse as said 2nd control pulse. A control circuit where it operates on voltage lower than voltage of input power, and a HIGH level generates the 1st control pulse of predetermined pulse width on voltage lower than voltage of said input power, Electric power of voltage higher than voltage of said input power. It has a level shift circuit which generates the 2nd control pulse that carried out the level shift of the HIGH level to voltage higher than said 1st control pulse by a pulse corresponding to a pulse which won popularity and reversed a pulse or said 1st control pulse of this according to said 1st control pulse, A switching regulator controlled so that said MOSFET transistor is switched according to said 2nd control pulse and said output voltage turns into said target voltage, as output voltage turns into target voltage in response to electric power from said input power by an MOSFET transistor.

A comparator which said level shift circuit compares this with voltage of said 1st control pulse on the basis of a middle level of a HIGH level of said 1st control pulse, and a LOW level, and generates an output pulse of a HIGH level according to a comparison result.

A switching circuit from which it is set to ON according to said output pulse in response to voltage higher than voltage of said input power, and voltage of a HIGH level of said output pulse is pulled up on voltage higher than a HIGH level of said 1st control pulse more quickly than output operation of a HIGH level of said comparator.

[Claim 2] Said comparator is a current switching circuit which consists of a differential N-channel metal oxide semiconductor FET transistor of a couple, Said one differential transistor receives voltage of middle reference level of a HIGH level of said 1st control pulse, and a LOW level in the gate, Said transistor of differential another side receives said 1st control pulse in the gate, A drain of each differential aforementioned transistor is connected to a line of voltage higher than voltage of said input power via resistance, respectively, Generate as said output pulse and a pulse which reversed said 1st control pulse said switching circuit, The switching regulator according to claim 1 which is the MOSFET transistor of a p channel by which a gate was connected to a drain of a transistor of said another side, sauce was connected to a line of voltage higher than voltage of said input power, and a drain was connected to a drain of said one transistor.

[Claim 3] An output side has an MOSFET transistor of two N channels by which subordinate connection was carried out between a line of said input power, and a ground, A series circuit of a capacitor is connected with a diode which serves as a forward direction to current from this low power supply between these transistor node and a power supply of voltage lower than voltage of said input power, Voltage higher than voltage of said input power is obtained for a terminal of said capacitor by said capacitor being charged by a power supply of said low voltage, A transistor connected to a line side of said input power among MOSFET transistors of said two N channels is said MOSFET transistor switched according to said 2nd control pulse, The switching regulator according to claim 2 to which a transistor connected to said ground side among MOSFET transistors of said two N channels is switched according to said 1st control pulse.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention about a switching regulator in detail, In the synchronous detection type DC to DC converter of the bootstrap system which carries out a regulation to the voltage which generates the control pulse of low voltage and is obtained from a high input DC power supply, it is related with improvement of a switching regulator with quick voltage stabilization working speed.

[0002]

[Description of the Prior Art]If it is in portable electronic apparatus, such as portable audio equipment, a personal computer, a note type personal computer, etc. conventionally, in order to convert the power efficiently and to obtain predetermined power supply voltage, the DC to DC converter which used the switching regulator is used. In particular, in a portable electronic apparatus, in order to reduce the power loss in a driver, the switching transistor of an output stage is used as an MOSFET transistor, by a boot SUTORAMPU method, it is close to power supply voltage, or the DC to DC converter which generates and drives gate voltage higher than this is used. Power-supply-voltage +VDD of the drive circuit was held down, for example to about [ 5V ] low voltage, switched the power source line of high voltage in the final stage in response to high power-supply-voltage +Vcc, for example, 10V-30V, and has obtained the output voltage of high DC.

[0003]Drawing 3 is an example of this kind of switching regulator (DC to DC converter). 10 is a switching regulator and consists of the control circuit 11, the level shift circuit 12, the bootstrap switching circuit 13, the smoothing circuit 14, and the resistance partial pressure circuit 15 for output voltage detection. The input terminal into which the input power  $V_{in}$  is inputted 16, and 17 are output terminals in which the electric power of the voltage  $V_o$  is outputted. For example, the error amplifier 11a measures the detection voltage  $V_s$  and the reference voltage  $V_{REF}$  of an output side, generates the detecting signal of the level according to an error, and the control circuit 11 generates control pulse PL from which a duty ratio changes according to this detecting signal in PWM pulse generating circuit 11b. The level shift circuit 12 changes this into the level conversion control pulse Ph of high voltage in response to control pulse PL, and drives the high (Hi) side driver 13a of the bootstrap switching circuit 13. The bootstrap switching circuit 13 has the Hi side driver 13a, the low (Lo) side driver 13b, and the bootstrap circuit 13c. The Hi side driver 13a does switching driving of n channel MOS transistor Tr1 of a final output stage in response to the level conversion control pulse Ph, and the Lo side driver 13b does switching driving of n channel MOS transistor Tr2 of a final output stage in response to control pulse PL.

[0004]Here transistor Tr1 and transistor Tr2, Subordinate connection is accumulated and carried out between line (power source line 19 of high voltage) +Vcc of the input power  $V_{in}$  inputted from the input terminal 16, and grand GND, and the node of the sauce of transistor Tr1 and the drain of transistor Tr2 serves as the output terminal 13d. The bootstrap circuit 13c, It consists of a series circuit of the diode D and the capacitor C which were inserted in the opposite direction (it is a forward direction to the current from the power supply of power-supply-voltage line +VDD) between the output terminal 13d and line (power-supply-voltage line 20 of low voltage) +VDD (=5V) of the power supply of a device, The node N1 is made into the boosted voltage line 18, and this is connected to the power supply terminal of the Hi side driver 13a. Between the output terminal 13d and the output terminal 17 of the switching regulator 10, the smoothing circuit 14 of the L type filter which consists of the coil L and the capacitor Co is formed. Here, it charges via the diode D according to

the reflux current at the time of the switching OFF, and the capacitor C serves as a cell of voltage+5V. Supposing it sets voltage +Vcc of an input power line to 25V, for example and transistor Tr1 is set to ON, the voltage of the boosted voltage line 18 will be set to 30V at this time. Thereby, transistor Tr1 can fully be made ON drive for the gate voltage of n channel MOS transistor Tr1 as about [ higher than input power voltage ] (5V=+VDD) input power voltage+5V, and the ON resistance value can be made small. The resistance partial pressure circuit 15 for output voltage detection consists of a series circuit of the resistance R1 and the resistance R2 provided between the output terminal 17 and grand GND, and the voltage of the node N2 of the resistance R1 and the resistance R2 is inputted into the error amplifier 11a of the control circuit 11 as the detection voltage Vs of the output voltage Vo. Here, the control circuit 11 and the Lo side driver 13b operate with the electric power from low power-supply-voltage line +VDD, and, thereby, the power consumption of this whole power supply circuit is held down.

[0005]

[Problem(s) to be Solved by the Invention]However, if it is in such a switching regulator, Since a circuit as shown in drawing 4 and drawing 5 is used as the level shift circuit 12, in operation of the Hi side driver 13a, delay occurs according to the standup of the level conversion control pulse Ph, and a delay of falling of operation, and there is a fault to which voltage stabilization working speed becomes slow. As the level shift circuit 12, drawing 4 (a) forms NPN bipolar transistor Q1 in the first rank, and, thereby, drives NPN bipolar transistor Q2. The collector of the transistor Q1 is connected to power-supply-voltage line +VDD via the constant current source 121, and the emitter is grounded. The collector of the transistor Q2 is connected to the voltage line 18 boosted via the resistance R3, and the emitter is grounded. Thereby, to the collector (A point = input terminal of Hi side driver 13a) side, the level conversion control pulse Ph of high voltage is generated, and the Hi side driver 13a is driven. Since the transistor Q2 is saturated when the transistor Q1 turns off, the level shift circuit 12 of this composition has a fault to which time in case the level conversion control pulse Ph (voltage of an A point) changes from a LOW level (following "L") to a HIGH level (henceforth, "H") becomes late.

[0006]Drawing 4 (b) improves and the aforementioned fault as the level shift circuit 12, It changes to the bipolar transistor Q2 of a figure (a), and the n channel MOS transistor Q3 is formed, it changes to the transistor Q1, and control pulse PL is received in the gate of the transistor Q3 via the inverter 122. This generates the level conversion control pulse Ph in the drain of the transistor Q3, and the Hi side driver 13a is driven. Since the transistor Q2 is transposed to MOS transistor Q3, the standup of an A point becomes quicker than the circuit of drawing 4 (a), but. Since the resistance R3 is a 150komega grade, it usually has a fault to which the standup of "H" becomes late by the damping time constant of the input parasitic capacitance Cin of the Hi side driver 13a, and this resistance R3. If the value of the resistance R3 is made small, the standup of an A point will become quick, but the part and power consumption become large.

[0007]Drawing 5 improves the fault of aforementioned drawing 4 (a) and (b) as the level shift circuit 12, It is considered as the transistor Q1 of (a), and the current mirror circuit 123 which changes to Q2 and consists of the transistor Q1 and Q2, the inverter 122 is changed to CMOS inverter circuit 124, and this current mirror circuit 123 is driven with the output of this. At this time, the resistance R4 restricts the output current value of CMOS inverter circuit 124, and it is considered as constant current. It outputs to the input terminal (A point) of the Hi side driver 13a via the resistance R5 which transmitted this current to the output side transistor Q2 via the input-side transistor Q1 of the current mirror circuit 123, and was inserted in the collector of the transistor Q2 in series. In this circuit, the overshooting clamp circuit 125 which becomes an A point from NPN transistor Q4 and PNP transistor Q5 is connected. When the transistor Q2 turns off this level shift circuit 12, the level conversion control pulse Ph rises, and when the transistor Q2 turns on, the level conversion control pulse Ph falls. The standup of the level conversion control pulse Ph and falling rate speed are determined by the value of the resistance R4 and the resistance R5, and the parasitic capacitance CIN of an input stage. In this case, driving current can be made small by choosing the value of the resistance R4. There is an advantage which can make quick reduction of power consumption and the standup of an A point by making resistance R3 small. However, in this circuit, when the level conversion control pulse Ph (A point) is set to "L" from "H", NPN transistor Q2 is set to ON, Only the part in which the resistance R5 is inserted is in a voltage drop, and there is a fault to which falling of the level conversion control pulse Ph becomes late by a relation with the parasitic capacitance CIN of an input stage. The purpose of this invention is to perform a regulation and to provide a switching

regulator with quick voltage stabilization working speed to the voltage which solves the problem of such conventional technology, generates the control pulse of low voltage, and is obtained from a high input DC power supply.

[0008]

[Means for Solving the Problem]The feature of a switching regulator of this invention for attaining such a purpose, A control circuit where it operates on voltage lower than voltage of input power, and "H" generates the 1st control pulse of predetermined pulse width on voltage lower than voltage of input power, Electric power of voltage higher than voltage of input power. It has a level shift circuit which generates the 2nd control pulse that carried out the level shift of the "H" to voltage higher than the 1st control pulse with pulse width corresponding to pulse width which won popularity and reversed pulse width or the 1st control pulse of this according to the 1st control pulse, In a switching regulator controlled so that an MOSFET transistor is switched according to the 2nd control pulse and output voltage turns into target voltage, as output voltage turns into target voltage in response to electric power from input power by an MOSFET transistor, A comparator which the aforementioned level shift circuit compares this with voltage of the 1st control pulse "H" of the 1st control pulse, and on the basis of a middle level with "L", and generates an output pulse according to a comparison result, It has a switching circuit which is set to ON according to an output pulse in response to voltage higher than voltage of input power, and pulls up voltage of an output pulse from "H" of the 1st control pulse on high voltage more quickly than output operation of a HIGH level of a comparator, An output pulse is generated as the 2nd control pulse.

[0009]

[Embodiment of the Invention]Thus, this invention generates the control pulse of low voltage, and rises on high voltage in a level shift circuit, It is what changes into the quick control pulse of falling and carries out switching control of the output stage MOS transistor by the side of Hi, By constituting a level shift circuit from a comparator and comparing this with the 1st control pulse "H" of the 1st control pulse, and on the basis of a middle level with "L," it became [ whether the level of the 1st control pulse exceeded reference level and ] less than this — at that time, the output of "L" and "H" can be boiled, respectively and can be obtained from a comparator. Since the slew rate is large if the part, the standup of the 2nd control pulse, and falling speed become quick and the circuit of a current switch is especially used as a comparator, it rises and fall time can be shortened. As a result, a switching regulator with quick voltage stabilization working speed is easily realizable to the regulation of high input DC voltage.

[0010]

[Example]Drawing 1 is a block diagram of one example which applied the switching regulator of this invention. The same numerals show drawing 3, drawing 4, and the same component as drawing 5, and they omit the explanation. In the switching regulator 1 of drawing 1, it changes to the level shift circuit 12 shown in drawing 4 and drawing 5, and a comparator is constituted for the level shift circuit 2 as a subject. The level shift circuit 2 comprises the inverter 3, the current switching circuit 4 and the switching circuit 5 that consists of the p channel MOS transistor Q8, and the resistance R. It has the N-channel metal oxide semiconductor transistor Q6 and a differential transistor of Q7, these emitters are connected in common, and the current switching circuit 4 is grounded via the constant current source 4a of the current value I provided downstream from this. Each is connected to the boosted voltage line 18 via the resistance R and R of resistance with equal transistor Q6 and each collector of Q7. The gate of the transistor Q6 receives control pulse PL from the control circuit 11 via the inverter 3. The gate of the transistor Q7 is grounded via the circuit generating reference voltage 6. And the source of the transistor Q8 is connected to the boosted voltage line 18, the drain is connected to the drain of the transistor Q7, and the gate is connected to the drain of the transistor Q6. Since the resistance R is the current value I of the constant current source 4a, that resistance is chosen so that a part for that voltage drop and  $I \times R$  (however, R is taken as the resistance of the resistance R.) may be set to value [ beyond the gate threshold of the transistor Q8 ], for example, this pressure value  $> 0.7V$ .

[0011]Here, the reference voltage which the current switching circuit 4 serves as a comparator which carries out the party rate of the circuit generating reference voltage 6 and the input signal, and carries out switch operation, and the circuit generating reference voltage 6 generates is set to "H" in 5V power supply +VDD and the intermediate level of "L", for example, 2.5V. then — when it is reversed by the inverter 3 when control pulse PL changes from "L" to "H", and it falls from the

intermediate level of "H" and "L", the transistor Q7 is set to ON -- the transistor Q6 -- OFF -- \*\* On the contrary, when it is reversed by the inverter 3 when control pulse PL changes from "H" to "L", and the intermediate level of "H" and "L" is exceeded, the transistor Q6 is set to ON, and the transistor Q7 turns off. this became [ whether the level of control pulse PL exceeded reference level, and ] less than this -- at that time, since the output of "L" can be looked like [ "H" ] from the current switching circuit 4, respectively, the standup of the part and the level conversion control pulse Ph and falling become quick. And since the transistor Q6 is set to ON when control pulse PL added to the input of the inverter 3 changes from "H" to "L", The switching circuit 5 (transistor Q8) is set to ON on the voltage generated by the voltage drop of the resistance R, and the voltage of the input terminal (A point) of the Hi side driver 13a serves as "H" more quickly than the output operation of the original current switching circuit 4. On the contrary, when control pulse PL changes from "L" to "H". (When control pulse PL descends from an intermediate level (voltage VREF of the circuit generating reference voltage 6), and the output of the inverter 3 rises from an intermediate level), the transistor Q6 serves as OFF, the transistor Q7 is set to ON, and the transistor Q5 serves as OFF. Since direct continuation of the transistor Q7 is carried out to the input terminal (A point) of the Hi side driver 13a at this time, the level conversion control pulse Ph can fall at high speed.

[0012]Drawing 2 is a table showing an example of the standup of the circuit of drawing 4 and drawing 5, and the example of drawing 1 of the invention in this application, and the time delay of falling.

However, it is referred to as +VDD=5V and +Vcc=25V - 30V, set control pulse PL to "L" \*\*0 and "H" \*\*5V, and the level conversion control pulse Ph as "L" \*\*5V and "H" \*\*25V-30V. It is a case where the driving current (current which generates voltage "L" at an A point) over the Hi side driver 13a of the level shift circuit 2 is set as 200microA. As shown in Table 1, in the example of drawing 1, a standup is set to 10 ns, falling is set to 30 ns, and a standup and fall time are improved more greatly than the conventional thing.

[0013]As usual, the Lo side driver 13b will operate, in response to the fact that [ control circuit / 11 ] control pulse PL, but. Here, in order to prevent turning on simultaneously with the Hi side driver 13a, timing can be shifted to the level conversion control pulse Ph via the delay circuit 7, and control pulse PL is inputted into the Lo side driver 13b. This Lo side driver 13b can use the same circuit as the Hi side driver 13a who does not undergo the output of the level shift circuit 2. In this case, the boosted voltage line 18 turns into a line of +VDD which is device power voltage, and the line of the terminal 13d connected to the coil L serves as grand GND. Although are explained above, and the current switching circuit is used as an example of a comparator in the example, this invention of the comparator of other composition being used is natural.

[0014]

[Effect of the Invention]If it is in this invention as explained above, Generate the control pulse of low voltage and it rises on high voltage in a level shift circuit, It is what changes into the quick control pulse of falling and carries out switching control of the output stage MOS transistor by the side of Hi, By constituting a level shift circuit from a comparator and comparing this with the 1st control pulse "H" of the 1st control pulse, and on the basis of a middle level with "L." Since the slew rate is large if the standup of the 2nd control pulse and falling become quick and the circuit of a current switch is especially used as a comparator, it rises and fall time can be shortened. As a result, a switching regulator with quick voltage stabilization working speed is easily realizable to the regulation of high input DC voltage.

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-315311

(P2002-315311A)

(43)公開日 平成14年10月25日 (2002. 10. 25)

(51)Int.Cl.<sup>7</sup>

H 0 2 M 3/155

識別記号

F I

H 0 2 M 3/155

テーマコード\* (参考)

H 5 H 7 3 0

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21)出願番号 特願2001-119194(P2001-119194)

(22)出願日 平成13年4月18日 (2001. 4. 18)

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 梅本 清貴

京都市右京区西院溝崎町21番地 ローム株式会社内

(74)代理人 100079555

弁理士 梶山 信是 (外1名)

Fターム(参考) 5H730 AA10 AA14 BB13 BB57 DD04

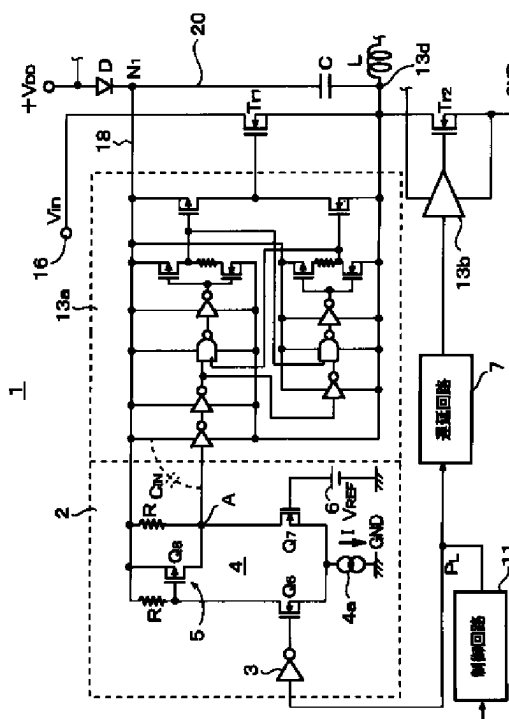
DD26 EE13 FD01 FG05

(54)【発明の名称】 スイッチングレギュレータ

(57)【要約】

【課題】低い電圧の制御パルスを発生して高い入力直流電源から得られる電圧に対してレギュレーションを行い、かつ、電圧安定化動作速度が速いスイッチングレギュレータを提供することにある。

【解決手段】この発明は、低い電圧の制御パルスを発生してレベルシフト回路で高い電圧で立上がり、立下がりの速い制御パルスに変換してH i側の出力段M O Sトランジスタをスイッチング制御するものであって、レベルシフト回路をコンパレータで構成して第1の制御パルスの“H”と“L”との中間のレベルを基準として第1の制御パルスと比較することで、第1の制御パルスのレベルが基準レベルを超えたか、これ以下になったかの時点で、“L”と“H”の出力をそれぞれに得ることができるので、その分、出力信号の立上がり、立下がりになる。特に、カレントスイッチの回路をコンパレータとして利用すれば、スルーレートが大きいのので、立上がり、立下がり時間を短縮できる。



**【特許請求の範囲】**

**【請求項1】** 入力電源の電圧より低い電圧で動作してHIGHレベルが前記入力電源の電圧より低い電圧で所定のパルス幅の第1の制御パルスを発生する制御回路と、前記入力電源の電圧より高い電圧の電力を受けて前記第1の制御パルスに応じてこれのパルスあるいは前記第1の制御パルスを反転したパルスに対応するパルスでHIGHレベルを前記第1の制御パルスより高い電圧にレベルシフトした第2の制御パルスを発生するレベルシフト回路とを有し、前記入力電源からの電力をMOSFETトランジスタで受けて、出力電圧が目標電圧になるように前記第2の制御パルスに応じて前記MOSFETトランジスタをスイッチングして前記出力電圧が前記目標電圧になるように制御するスイッチングレギュレータにおいて、

前記レベルシフト回路は、前記第1の制御パルスのHIGHレベルとLOWレベルとの中間のレベルを基準としてこれと前記第1の制御パルスの電圧とを比較して比較結果に応じてHIGHレベルの出力パルスを発生するコンパレータと、

前記入力電源の電圧より高い電圧を受けて前記出力パルスに応じてONになり前記出力パルスのHIGHレベルの電圧を前記第1の制御パルスのHIGHレベルより高い電圧に、前記コンパレータのHIGHレベルの出力動作よりも急速に引上げるスイッチ回路とを備え、前記出力パルスを前記第2の制御パルスとして発生することを特徴とするスイッチングレギュレータ。

**【請求項2】** 前記コンパレータは、一対の差動のNチャネルMOSFETトランジスタからなるカレントスイッチ回路であって、差動の一方の前記トランジスタがそのゲートに前記第1の制御パルスのHIGHレベルとLOWレベルとの中間の基準レベルの電圧を受け、差動の他方の前記トランジスタがそのゲートに前記第1の制御パルスを受け、差動の各前記トランジスタのドレインがそれぞれ抵抗を介して前記入力電源の電圧より高い電圧のラインに接続され、前記第1の制御パルスを反転したパルスを前記出力パルスとして発生し、前記スイッチ回路は、前記他方のトランジスタのドレインにゲートが接続され、ソースが前記入力電源の電圧より高い電圧のラインに接続され、ドレインが前記一方のトランジスタのドレインに接続されたpチャネルのMOSFETトランジスタである請求項1記載のスイッチングレギュレータ。

**【請求項3】** さらに、前記入力電源のラインとグランドとの間に出力側が従属接続された2個のNチャネルのMOSFETトランジスタを有し、これらトランジスタ接続点と前記入力電源の電圧より低い電圧の電源との間にこの低い電源からの電流に対して順方向となるダイオードとコンデンサの直列回路が接続され、前記低い電圧の電源により前記コンデンサが充電されることで前記入力電源の電圧より高い電圧を前記コンデンサの端子に得、

前記2個のNチャネルのMOSFETトランジスタのうち前記入力電源のライン側に接続されたトランジスタが前記第2の制御パルスに応じてスイッチングされる前記MOSFETトランジスタであり、前記2個のNチャネルのMOSFETトランジスタのうち前記グランド側に接続されたトランジスタが前記第1の制御パルスに応じてスイッチングされる請求項2記載のスイッチングレギュレータ。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** この発明は、スイッチングレギュレータに関し、詳しくは、低い電圧の制御パルスを発生して高い入力直流電源から得られる電圧に対してレギュレーションをするブートストラップ方式の同期整流型のDC/DCコンバータにおいて、電圧安定化動作速度が速いスイッチングレギュレータの改良に関する。

**【0002】**

**【従来の技術】** 従来、携帯型のオーディオ機器やパーソナルコンピュータ、ノート型パーソナルコンピュータ等の携帯型電子機器などにあては、効率よく電力変換して所定の電源電圧を得るためにスイッチングレギュレータを用いたDC/DCコンバータが利用されている。特に、携帯型電子機器では、ドライバでの電力損失を低減するために、出力段のスイッチングトランジスタをMOSFETトランジスタとし、ブートストラップ方式で電源電圧に近い、これよりも高いゲート電圧を発生して駆動するDC/DCコンバータが用いられる。ドライブ回路の電源電圧+VDDは、例えば5V程度の低い電圧に抑えられ、最終段で高い電源電圧+Vcc、例えば、10V~30Vを受けて高い電圧の電源ラインをスイッチングして高いDCの出力電圧を得ている。

**【0003】** 図3は、この種のスイッチングレギュレータ(DC/DCコンバータ)の一例である。10は、スイッチングレギュレータであって、制御回路11とレベルシフト回路12、ブートストラップスイッチング回路13、平滑回路14、そして出力電圧検出用の抵抗分圧回路15とからなる。なお、16は、入力電源Vinが入力される入力端子、17は、電圧Voの電力が出力される出力端子である。制御回路11は、例えば、誤差増幅器11aが出力側の検出電圧Vsと基準電圧VREFとを比較して、誤差に応じたレベルの検出信号を発生して、この検出信号に応じてデューティ比が変化する制御パルスPLをPWMパルス発生回路11bで発生する。レベルシフト回路12は、制御パルスPLを受けてこれを高い電圧のレベル変換制御パルスPhに変換してブートストラップスイッチング回路13のハイ(Hi)側ドライバ13aを駆動する。ブートストラップスイッチング回路13は、Hi側ドライバ13aとロウ(Lo)側ドライバ13b、そしてブートストラップ回路13cとを有している。Hi側ドライバ13aは、レベル変換制御パル



スPhを受けて最終出力段のnチャネルMOSトランジスタTr1をスイッチング駆動し、Lo側ドライバ13bは、制御パルスPLを受けて最終出力段のnチャネルMOSトランジスタTr2をスイッチング駆動する。

【0004】ここで、トランジスタTr1とトランジスタTr2とは、入力端子16から入力される入力電源Vinのライン（高い電圧の電源ライン19）+VccとグラウンドGND間に積み上げ従属接続され、トランジスタTr1のソースとトランジスタTr2のドレインとの接続点が出来端子13dとなっている。ブートストラップ回路13cは、出力端子13dとデバイスの電源のライン（低い電圧の電源電圧ライン20）+VDD（=5V）との間に逆方向（電源電圧ライン+VDDの電源からの電流に対しては順方向）に挿入されたダイオードDとコンデンサCの直列回路からなり、その接続点N1がブースト電圧ライン18とされ、これがHi側ドライバ13aの電源端子に接続されている。また、出力端子13dとスイッチングレギュレータ10の出力端子17との間には、コイルLとコンデンサCoとからなるL型フィルタの平滑回路14が設けられている。ここで、コンデンサCは、スイッチングOFF時の還流電流によりダイオードDを介して充電されて電圧+5Vの電池となる。入力電源ラインの電圧+Vccを、例えば、25Vとし、トランジスタTr1がONになったとすると、ブースト電圧ライン18の電圧は、このとき30Vになる。これにより、nチャネルMOSトランジスタTr1のゲート電圧を入力電源電圧より高い、入力電源電圧+5V程度（5V=+VDD）として、トランジスタTr1を十分にON駆動にしてそのON抵抗値を小さくすることができる。出力電圧検出用の抵抗分圧回路15は、出力端子17とグラウンドGNDとの間に設けられた抵抗R1と抵抗R2の直列回路からなり、抵抗R1と抵抗R2との接続点N2の電圧が出力電圧Voの検出電圧Vsとして制御回路11の誤差増幅器11aに入力される。ここで、制御回路11とLo側ドライバ13bとは、低い電源電圧ライン+VDDからの電力で動作し、これにより、この電源回路全体の電力消費が抑えられる。

#### 【0005】

【発明が解決しようとする課題】しかし、このようなスイッチングレギュレータにあっては、レベルシフト回路12として、図4、図5に示すような回路が用いられるため、レベル変換制御パルスPhの立上がり、立下がりの動作遅れによりHi側ドライバ13aの動作が遅れが発生し、電圧安定化動作速度が遅くなる欠点がある。図4（a）は、レベルシフト回路12として、初段にNPNバイポーラトランジスタQ1を設け、これによりNPNバイポーラトランジスタQ2をドライブする。トランジスタQ1のコレクタは、定電流源121を介して電源電圧ライン+VDDに接続され、そのエミッタは接地されている。トランジスタQ2のコレクタは、抵抗R3を介し

てブーストされた電圧ライン18に接続され、そのエミッタは接地されている。これによりコレクタ（A点=Hi側ドライバ13aの入力端子）側に高い電圧のレベル変換制御パルスPhを発生してHi側ドライバ13aを駆動する。この構成のレベルシフト回路12は、トランジスタQ1がOFFしたときに、トランジスタQ2が飽和するため、レベル変換制御パルスPh（A点の電圧）がLOWレベル（以下“L”）からHIGHレベル（以下“H”）へ遷移するときの時間が遅くなる欠点がある。

【0006】図4（b）は、前記の欠点を改善したものであって、レベルシフト回路12として、図（a）のバイポーラトランジスタQ2に換えてnチャネルMOSトランジスタQ3を設け、トランジスタQ1に換えてインバータ122を介して制御パルスPLをトランジスタQ3のゲートに受ける。これによりトランジスタQ3のドレインにレベル変換制御パルスPhを発生してHi側ドライバ13aを駆動する。トランジスタQ2がMOSトランジスタQ3に置き換えられているので、A点の立上がりは図4（a）の回路よりも速くなるが、抵抗R3は、通常、150kΩ程度であるため、Hi側ドライバ13aの入力寄生容量Cinとこの抵抗R3の時定数分だけ“H”の立ち上がりが遅くなる欠点がある。抵抗R3の値を小さくすればA点の立上がりは速くなるが、その分、消費電力が大きくなる。

【0007】図5は、レベルシフト回路12として、前記の図4（a）、（b）の欠点を改善したものであって、（a）のトランジスタQ1、Q2に換えてトランジスタQ1、Q2からなるカレントミラー回路123とし、インバータ122をCMOSインバータ回路124に換えて、これの出力によりこのカレントミラー回路123を駆動する。このとき、CMOSインバータ回路124の出力電流値を抵抗R4により制限しかつ定電流とする。この電流をカレントミラー回路123の入力側トランジスタQ1を介して出力側トランジスタQ2に転送してトランジスタQ2のコレクタに直列に挿入された抵抗R5を介してHi側ドライバ13aの入力端子（A点）に出力する。なお、この回路では、A点にNPNトランジスタQ4、PNPトランジスタQ5からなるオーバershootクランプ回路125が接続されている。このレベルシフト回路12は、トランジスタQ2がOFFしたときにレベル変換制御パルスPhが立上がり、トランジスタQ2がONしたときにレベル変換制御パルスPhが立下がる。レベル変換制御パルスPhの立上がり、立下がりレート速度は、抵抗R4、抵抗R5の値と入力段の寄生容量Cinとにより決定される。この場合、抵抗R4の値を選択することで、駆動電流を小さくできる。また、抵抗R3を小さくすることで、消費電力の低減とA点の立ち上がりを速くできる利点がある。しかし、この回路は、レベル変換制御パルスPh（A点）が“H”から“L”になるときにNPNトランジスタQ2がONになり、抵抗R5が挿入

されている分だけ電圧降下が遅れ、入力段の寄生容量 $C_{IN}$ との関係でレベル変換制御パルス $Ph$ の立下がりが遅くなる欠点がある。この発明の目的は、このような従来技術の問題点を解決するものであって、低い電圧の制御パルスを発生して高い入力直流電源から得られる電圧に対してレギュレーションを行い、かつ、電圧安定化動作速度が速いスイッチングレギュレータを提供することにある。

#### 【0008】

【課題を解決するための手段】このような目的を達成するためのこの発明のスイッチングレギュレータの特徴は、入力電源の電圧より低い電圧で動作して“H”が入力電源の電圧より低い電圧で所定のパルス幅の第1の制御パルスを発生する制御回路と、入力電源の電圧より高い電圧の電力を受けて第1の制御パルスに応じてこのパルス幅あるいは第1の制御パルスを反転したパルス幅に対応するパルス幅で“H”を第1の制御パルスより高い電圧にレベルシフトした第2の制御パルスを発生するレベルシフト回路とを有し、入力電源からの電力をMOSFETトランジスタで受けて、出力電圧が目標電圧になるように第2の制御パルスに応じてMOSFETトランジスタをスイッチングして出力電圧が目標電圧になるように制御するスイッチングレギュレータにおいて、前記のレベルシフト回路が第1の制御パルスの“H”と“L”との中間のレベルを基準としてこれと第1の制御パルスの電圧とを比較して比較結果に応じて出力パルスを発生するコンパレータと、入力電源の電圧より高い電圧を受けて出力パルスに応じてONになり出力パルスの電圧を第1の制御パルスの“H”より高い電圧にコンパレータのHIGHレベルの出力動作よりも急速に引上げるスイッチ回路とを備えていて、出力パルスを第2の制御パルスとして発生するものである。

#### 【0009】

【発明の実施の形態】このように、この発明は、低い電圧の制御パルスを発生してレベルシフト回路で高い電圧で立上がり、立下がりの速い制御パルスに変換してHi側の出力段MOSトランジスタをスイッチング制御するものであって、レベルシフト回路をコンパレータで構成して第1の制御パルスの“H”と“L”との中間のレベルを基準としてこれと第1の制御パルスとを比較することで、第1の制御パルスのレベルが基準レベルを超えたか、これ以下になったかの時点で、“L”と“H”の出力をそれぞれにコンパレータから得ることができる。その分、第2の制御パルスの立上がり、立下がり速度が速くなり、特に、カレントスイッチの回路をコンパレータとして利用すれば、スルーレートが大きいので、立上がり、立下がり時間を短縮できる。その結果、高い入力直流電圧のレギュレーションに対して電圧安定化動作速度が速いスイッチングレギュレータを容易に実現できる。

#### 【0010】

【実施例】図1は、この発明のスイッチングレギュレータを適用した一実施例のブロック図である。なお、図3、図4、そして図5と同一の構成要素は同一の符号で示し、その説明を割愛する。図1のスイッチングレギュレータ1においては、図4、図5に示すレベルシフト回路12に換えてレベルシフト回路2をコンパレータを主体として構成したものである。レベルシフト回路2は、インバータ3とカレントスイッチ回路4、そしてpチャネルMOSトランジスタQ8からなるスイッチ回路5、抵抗Rとから構成されている。カレントスイッチ回路4は、NチャネルMOSトランジスタQ6、Q7の差動トランジスタを有し、これらのエミッタが共通に接続されて、これの下流に設けられた電流値Iの定電流源4aを介して接地されている。トランジスタQ6、Q7のそれぞれのコレクタは、等しい抵抗値の抵抗R、Rを介してそれぞれがブースト電圧ライン18に接続されている。トランジスタQ6のゲートは、インバータ3を介して制御回路11から制御パルスPLを受ける。トランジスタQ7のゲートは、基準電圧発生回路6を介して接地されている。そして、トランジスタQ8のソースがブースト電圧ライン18に接続され、そのドレインがトランジスタQ7のドレインに接続され、そのゲートがトランジスタQ6のドレインに接続されている。なお、抵抗Rは、定電流源4aの電流値Iであるので、その電圧降下分、 $I \times R$ （ただし、Rは抵抗Rの抵抗値とする。）がトランジスタQ8のゲート閾値以上の値、例えば、この電圧値 $> 0.7V$ になるようにその抵抗値が選択されている。

【0011】ここで、カレントスイッチ回路4は、基準電圧発生回路6と入力信号とをコンパレートして切換動作をするコンパレータとなっていて、基準電圧発生回路6が発生する基準電圧は、5V電源+VDDにおける“H”、“L”の中間レベル、例えば2.5Vに設定されている。そこで、制御パルスPLが“L”から“H”に遷移するとき、それがインバータ3により反転されて“H”と“L”の中間レベルより下がったときにトランジスタQ7がONとなり、トランジスタQ6がOFFなる。逆に、制御パルスPLが“H”から“L”に遷移するとき、それがインバータ3により反転されて“H”と“L”の中間レベルを超えたときにトランジスタQ6がONとなり、トランジスタQ7がOFFする。これにより、制御パルスPLのレベルが基準レベルを超えたか、これ以下になったかの時点で、“H”と“L”の出力をカレントスイッチ回路4からそれぞれに得ることができるので、その分、レベル変換制御パルス $Ph$ の立上がり、立下がり速度が速くなる。しかも、インバータ3の入力に加えられる制御パルスPLが“H”から“L”に遷移したときにはトランジスタQ6がONとなるので、抵抗Rの電圧降下により発生する電圧でスイッチ回路5（トランジスタQ8）がONとなり、Hi側ドライバ13aの入力端子（A点）の電圧が本来のカレントスイッチ回

路4の出力動作よりも急速に“H”となる。逆に、制御パルスPLが“L”から“H”に遷移するときには、制御パルスPLが中間レベル（基準電圧発生回路6の電圧VREF）より降下したときに（インバータ3の出力が中間レベルより上昇したとき）、トランジスタQ6がOFFとなり、トランジスタQ7がONとなって、トランジスタQ5がOFFとなる。このとき、Hi側ドライバ13aの入力端子（A点）にトランジスタQ7が直接接続されているので、レベル変換制御パルスPhは、高速に立下ることができる。

【0012】図2は、図4、図5の回路と本願発明の図1の実施例との立上がりと立下がりの遅れ時間の一例を示す表である。ただし、 $+V_{DD}=5V$ 、 $+V_{cc}=2.5V \sim 3.0V$ とし、制御パルスPLを“L” $\Rightarrow 0$ 、“H” $\Rightarrow 5V$ とし、レベル変換制御パルスPhを“L” $\Rightarrow 5V$ 、“H” $\Rightarrow 2.5V \sim 3.0V$ として、レベルシフト回路2のHi側ドライバ13aに対する駆動電流（A点に電圧“L”を発生する電流）を $200\mu A$ に設定した場合である。表1に示すように、図1の実施例では、立上がりが $10nsec$ 、立下がりが $30nsec$ となり、立上がり、立下がり時間とも従来のものより大きく改善されている。

【0013】なお、Lo側ドライバ13bは、従来と同様に、制御パルスPLを制御回路11から受けて動作することになるが、ここでは、Hi側ドライバ13aと同時にONすることを防止するために、遅延回路7を介してレベル変換制御パルスPhに対してタイミングをずらせて制御パルスPLがLo側ドライバ13bに入力されるようになっている。このLo側ドライバ13bは、レベルシフト回路2の出力を受けないHi側ドライバ13aと同様な回路を用いることができる。この場合、ブースト電圧ライン18は、デバイス電源電圧である $+V_{DD}$ のラインとなり、コイルLに接続される端子13dのラインがグランドGNDとなる。以上説明してきたが、実施例では、コンパレータの一例としてカレントスイッチ回路を利用しているが、この発明は、他の構成のコンパレータを使用してもよいことはもちろんである。

【0014】

【発明の効果】以上説明してきたように、この発明においては、低い電圧の制御パルスを発生してレベルシフト回路で高い電圧で立上がり、立下がりの速い制御パルスに変換してHi側の出力段MOSトランジスタをスイッチング制御するものであって、レベルシフト回路をコンパレータで構成して第1の制御パルスの“H”と“L”との中間のレベルを基準としてこれと第1の制御パルスとを比較することで、第2の制御パルスの立上がり、立下がりが速くなり、特に、カレントスイッチの回路をコンパレータとして利用すれば、スルーレートが大きいので、立上がり、立下がり時間を短縮できる。その結果、高い入力直流電圧のレギュレーションに対して電圧安定化動作速度が速いスイッチングレギュレータを容易に実現できる。

【図面の簡単な説明】

【図1】図1は、この発明のスイッチングレギュレータを適用した一実施例のブロック図である。

【図2】図2は、その効果を説明するための従来技術との比較例の説明図である。

【図3】図3は、ブートストラップ方式のスイッチングレギュレータの一例の説明図である。

【図4】図4は、図3における従来のレベルシフト回路の説明図である。

【図5】図5は、図3における従来のレベルシフト回路の他の1例の説明図である。

【符号の説明】

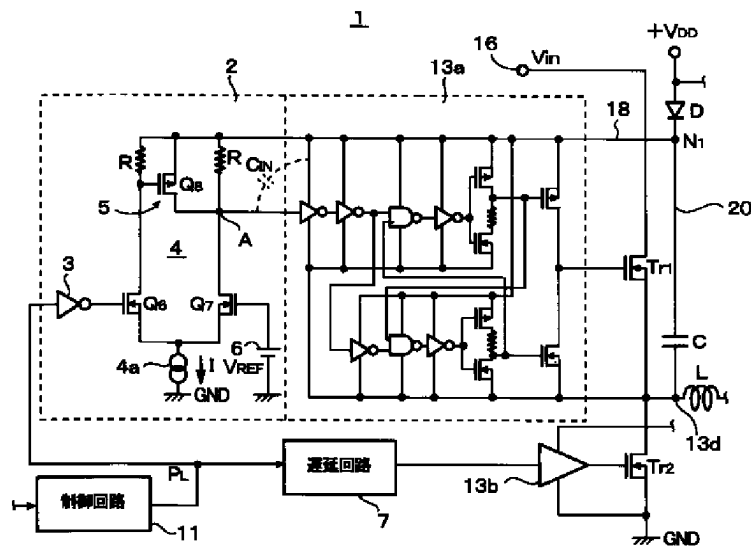
1…スイッチングレギュレータ、10…スイッチングレギュレータ、2、12…レベルシフト回路、3…インバータ、4…カレントスイッチ回路、5…pチャネルMOSトランジスタ、11…制御回路、11a…誤差増幅器、11b…PWMパルス発生回路、12…レベルシフト回路、13…ブートストラップスイッチング回路、14…平滑回路、15…出力電圧検出用の抵抗分圧回路、16…入力端子、17…出力端子、18…ブート電圧ライン、131…入力段回路、13a…Hi側ドライバ、13b…Lo側ドライバ、13d…出力端子、Tr1、Tr2、Q1～Q7…トランジスタ、C、Co…コンデンサ、R、R1～R5…抵抗。

【図2】

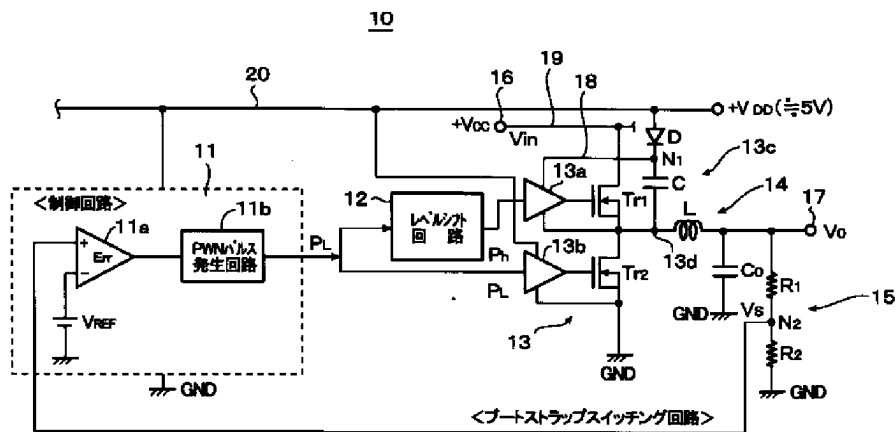
表1

レベルシフト回路	立上がり	立下がり
図4(a)の回路	259ns	11.2ns
図4(b)の回路	80ns	80ns
図5の回路	15ns	40ns
実施例	10ns	30ns

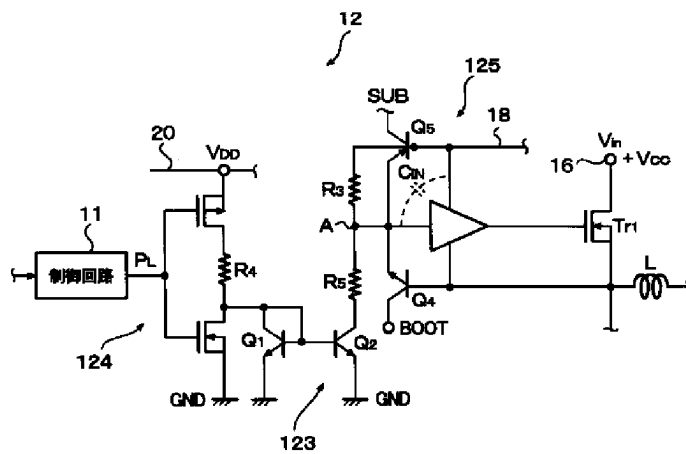
【図1】



【図3】



【図5】



(b)